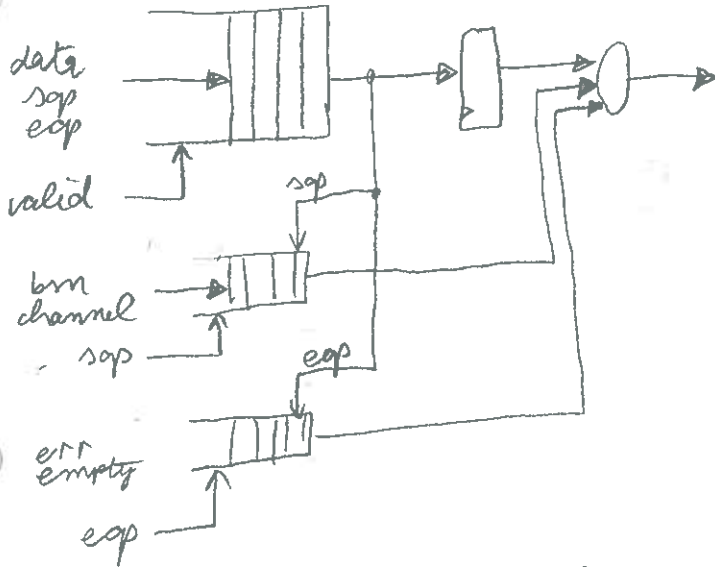


6 dec 2013

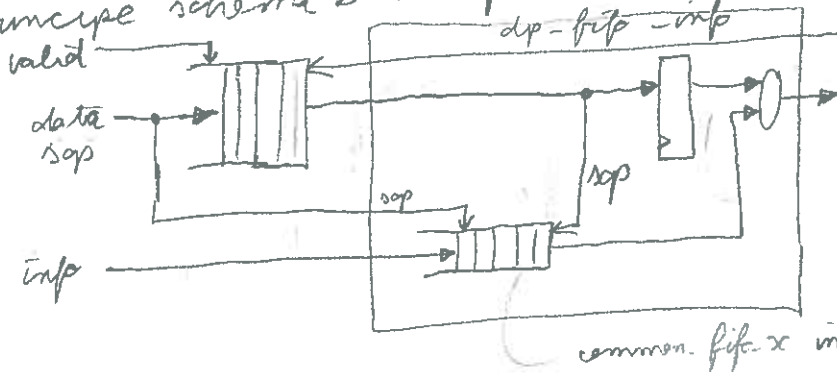
# dp\_fifo\_info

Eric Kooistra

- 1) FIFO data en info zonder flow control. De sop, eop wordt gebruikt om de info fifo uit te lezen en daarom moet de data, sop, eop, valid met 1 reg verhoogd worden om de output data en info weer te alignen.



- 2) Principe schema zonder flow control:

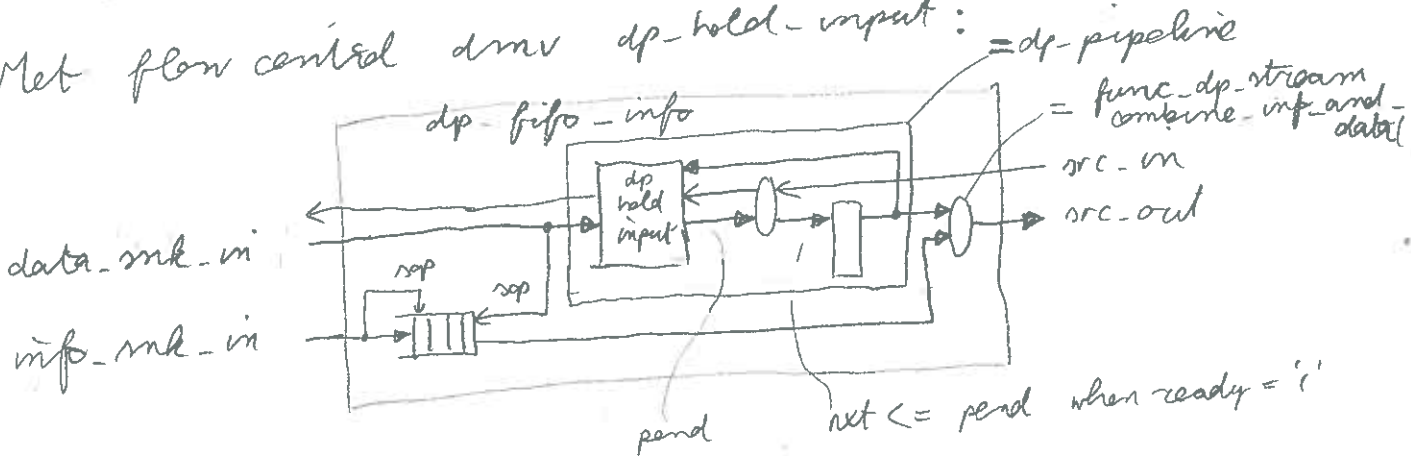


common. fifo-x in LUTs

ook toepasbaar om de info om een component anders dan een fifo te lezen; bijv SS en alle DSP componenten.

Het is goed om de info FIFO binnen de dp\_fifo\_info te definiëren omdat deze fifo dan niet steeds apart nog geïnstanceerd.

- 3) Met flow control door dp\_hold\_input:



Omdat de data, sop wordt gebruikt om de info uit de info fifo te lezen is het nodig de data, 1 clk slag te vertragen opdat de src.out info weer aligned is met de soc.out data. Bijgevolg geeft het weer toevoegen vd info een extra latency van +1 aan de FIFO output.

Wat als  $RL=0$  of  $RL>1$ ?

→ tb.tb dp\_fifo\_info

Todo:

- toepassen in SS, WPFB. want
- check  $RL=0, 2 \rightarrow$  alleen  $RL=1$  is genoeg
- check no info dan geen dp pipeline nodig
- toepassen in dp\_fifo